

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Appln. No: To Be Assigned  
Applicant: T. Nakatani et al.  
Filed: Herewith  
Title: SEMICONDUCTOR DIFFERENTIAL CIRCUIT, OSCILLATION APPARATUS,  
SWITCHING APPARATUS, AMPLIFYING APPARATUS, MIXER APPARATUS  
AND CIRCUIT APPARATUS USING SAME, AND SEMICONDUCTOR  
DIFFERENTIAL CIRCUIT PLACEMENT METHOD  
  
TC/A.U.:  
Examiner:

**CLAIM TO RIGHT OF PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Pursuant to 35 U.S.C. § 119, Applicants hereby claim the benefit of prior  
Japanese Patent Application No. 2002-332688, filed November 15, 2002.

A certified copy of the above-referenced application is enclosed.

Respectfully submitted,

  
\_\_\_\_\_  
Allan Ratner, Reg. No. 19,717  
Attorney for Applicants

AR/dlm

Enclosure: Certified Copy of Patent Application No. 2002-332688

P.O. Box 980  
Valley Forge, PA 19482-0980  
(610) 407-0700

The Commissioner for Patents is hereby  
authorized to charge payment to Deposit  
Account No. 18-0350 of any fees associated  
with this communication.

**EXPRESS MAIL**

Mailing Label Number:  
Date of Deposit:

EV 325926650 US  
November 13, 2003

I hereby certify that this paper and fee are being deposited, under 37 C.F.R. § 1.10 and with sufficient postage, using the  
"Express Mail Post Office to Addressee" service of the United States Postal Service on the date indicated above and that  
the deposit is addressed to the Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA  
22313-1450.

  
\_\_\_\_\_  
Kathleen Libby

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年11月15日  
Date of Application:

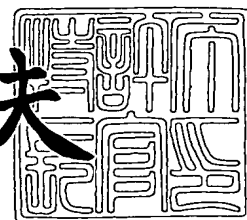
出願番号 特願2002-332688  
Application Number:  
[ST. 10/C]: [JP2002-332688]

出願人 松下電器産業株式会社  
Applicant(s):

2003年 9月 4日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2003-3072492



【書類名】 特許願

【整理番号】 2022040288

【提出日】 平成14年11月15日

【あて先】 特許庁長官殿

【国際特許分類】 H03F 3/45  
H03D 7/14  
H03B 7/14

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 中谷 俊文

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 足立 寿史

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 平岡 幸生

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100092794

【弁理士】

【氏名又は名称】 松田 正道

【電話番号】 06-6397-2840

## 【手数料の表示】

【予納台帳番号】 009896

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006027

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体差動回路、それを用いた発振装置、増幅装置、スイッチ装置、半導体差動回路の配置方法

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板上に形成され、差動信号のうち一方の信号が伝達される第 1 のドレイン電極、および前記一方の信号を制御するための第 1 のゲート電極を有する第 1 の半導体素子と、

前記半導体基板上に形成され、前記差動信号のうち他方の信号が伝達される第 2 のドレイン電極、および前記他方の信号を制御するための第 2 のゲート電極を有する第 2 の半導体素子と、を備え、

所定の周波数において、前記第 1 のドレイン電極が、所定の抵抗を介して接地され、かつ、前記第 2 のドレイン電極が、前記所定の抵抗と同じ抵抗値の抵抗を介して接地されたものと等価となるように、前記第 1 のドレイン電極と、前記第 2 のドレイン電極とが近接して配置されている、半導体差動回路。

【請求項 2】 前記所定の抵抗の抵抗値は、前記所定の周波数において、前記第 1 のドレイン電極と前記第 2 のドレイン電極との間隔により決定される、前記半導体基板を介した、前記第 1 のドレイン電極と前記第 2 のドレイン電極との間に形成される抵抗値の半分である、請求項 1 に記載の半導体差動回路。

【請求項 3】 前記第 1 の半導体素子および前記第 2 の半導体素子がそれぞれマルチフィンガータイプの FET であり、前記第 1 のドレイン電極の長手方向に沿って前記第 2 のドレイン電極の長手方向が近接して配置される、請求項 1 または 2 に記載の半導体差動回路。

【請求項 4】 前記第 1 の半導体素子は、

前記第 1 のゲート電極が、前記第 1 のドレイン電極の長手方向に沿って前記第 1 のドレイン電極に隣接して配置され、

前記第 1 のゲート電極の長手方向に沿って前記第 1 のゲート電極に隣接して配置される第 1 のソース電極を有し、

前記第 2 の半導体素子は、

前記第2のゲート電極が、前記第2のドレイン電極の長手方向に沿って前記第2のドレイン電極に隣接して配置され、

前記第2のゲート電極の長手方向に沿って前記第2のゲート電極に隣接して配置される第2のソース電極を有し、

前記第1の半導体素子および前記第2の半導体素子で構成される回路を第1の単位回路として備え、

前記第1の単位回路が互いに隣接して  $n$  個配置され、

$i$  ( $i$  は 1 以上  $n-1$  以下) 番目の第1の単位回路に隣接して  $i+1$  番目の第1の単位回路が配置され、

前記  $n$  個の第1のドレイン電極は互いに接続され、前記  $n$  個の第2のドレイン電極は互いに接続され、前記  $n$  個の第1のゲート電極は、互いに接続され、前記  $n$  個の第2のゲート電極は互いに接続され、前記  $n$  個の第1のソース電極および前記  $n$  個の第2のソース電極は互いに接続されている、請求項3に記載の半導体差動回路。

【請求項5】 前記半導体基板上に第3のソース電極が形成され、

前記第1のゲート電極は、前記第3のソース電極の長手方向に沿って前記第3のソース電極に隣接して配置され、

前記第1のドレイン電極は、前記第1のゲート電極の長手方向に沿って、前記第3のソース電極とは反対側に前記第1のゲート電極に隣接して配置され、

前記第2のドレイン電極は、前記第1のドレイン電極の長手方向に沿って、前記第1のゲート電極とは反対側に前記第1のドレイン電極と近接して配置され、

前記第2のゲート電極は、前記第2のドレイン電極の長手方向に沿って、前記第1のドレイン電極とは反対側に前記第2のドレイン電極に隣接して配置され、

前記第3のソース電極、前記第1のゲート電極、前記第1のドレイン電極、前記第2のドレイン電極、および前記第2のゲート電極で構成される回路を第2の単位回路として備え、

前記第2の単位回路が互いに隣接して  $n$  個配置され、

$i$  ( $i$  は 1 以上  $n-1$  以下) 番目の第2の単位回路の前記第2のゲート電極が、 $i+1$  番目の単位回路の前記第3のソース電極に隣接して配置され、

前記 n 個の第 1 のドレイン電極は互いに接続され、前記 n 個の第 2 のドレイン電極は互いに接続され、前記 n 個の第 1 のゲート電極は、互いに接続され、前記 n 個の第 2 のゲート電極は互いに接続され、前記 n 個の第 3 のソース電極は互いに接続されている、請求項 3 に記載の半導体差動回路。

【請求項 6】 前記第 1 のゲート電極は、前記第 1 のドレイン電極を囲むように配置され、

前記第 2 のゲート電極は、前記第 2 のドレイン電極を囲むように配置され、

前記第 1 のゲート電極および前記第 2 のゲート電極の間にソース電極が配置されている、請求項 1 または 2 に記載の半導体差動回路。

【請求項 7】 前記第 1 のドレイン電極および前記第 2 のドレイン電極は、2 個ずつ存在し、

一方の第 1 のドレイン電極と一方の第 2 のドレイン電極との間にソース電極が配置され、

他方の第 1 のドレイン電極と他方の第 2 のドレイン電極との間に、前記ソース電極に接続された電極が配置され、

前記一方の第 1 のドレイン電極と前記他方の第 2 のドレイン電極との間に、前記ソース電極に接続された電極が配置され、

前記他方の第 1 のドレイン電極と前記一方の第 2 のドレイン電極との間に、前記ソース電極に接続された電極が配置されている、請求項 6 に記載の半導体差動回路。

【請求項 8】 前記第 1 のゲート電極は、前記第 1 のドレイン電極に隣接して配置され、

前記第 2 のゲート電極は、前記第 2 のドレイン電極に隣接して配置され、

前記第 1 のドレイン電極、前記第 2 のドレイン電極、前記第 1 のゲート電極、および前記第 2 のゲート電極を囲むように、かつ前記第 1 のゲート電極および前記第 2 のゲート電極に隣接して、ソース電極が配置されている、請求項 1 または 2 に記載の半導体差動回路。

【請求項 9】 前記第 1 のドレイン電極および前記第 2 のドレイン電極が 2 個ずつ存在し、

一方の第1のドレイン電極および一方の第2のドレイン電極が近接して配置され、他方の第1のドレイン電極および他方の第2のドレイン電極が近接して配置され、前記一方の第1のドレイン電極および前記他方の第2のドレイン電極が近接して配置され、前記他方の第1のドレイン電極および前記一方の第2のドレイン電極が近接して配置されている、請求項8に記載の半導体差動回路。

【請求項10】 半導体基板と、

前記半導体基板上に形成され、差動信号のうち一方の信号が伝達される第1のコレクタまたはベースを有する第1の半導体素子と、

前記半導体基板上に形成され、前記差動信号のうち他方の信号が伝達される第2のコレクタまたはベースを有する第2の半導体素子と、を備え、

所定の周波数において、前記第1のコレクタまたはベースが、所定の抵抗を介して接地され、かつ、前記第2のコレクタまたはベースが、前記所定の抵抗と同じ抵抗値の抵抗を介して接地されたものと等価となるように、前記第1のコレクタまたはベースと、前記第2のコレクタまたはベースとが近接して配置される、半導体差動回路。

【請求項11】 請求項1～10のいずれかに記載の半導体差動回路を用いた発振装置。

【請求項12】 請求項1～10のいずれかに記載の半導体差動回路を用いたスイッチ装置。

【請求項13】 請求項1～10のいずれかに記載の半導体差動回路を用いた増幅装置。

【請求項14】 半導体基板と、

前記半導体基板上に形成され、差動信号のうち一方の信号が伝達される第1のドレイン電極、および前記一方の信号を制御するための第1のゲート電極を有する第1の半導体素子と、

前記半導体基板上に形成され、前記差動信号のうち他方の信号が伝達される第2のドレイン電極、および前記他方の信号が伝達される第2のゲート電極を有する第2の半導体素子と、を備えている半導体差動回路の配置方法であって、

所定の周波数において、前記第1のドレイン電極が、所定の抵抗を介して接地



され、かつ、前記第2のドレイン電極が、前記所定の抵抗と同じ抵抗値の抵抗を介して接地されたものと等価となるように、前記第1のドレイン電極と、前記第2のドレイン電極とを近接して配置する、半導体差動回路の配置方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、携帯電話等の高周波回路に使用される半導体差動回路、半導体差動回路を使用した発振装置、増幅装置、スイッチ装置、半導体差動回路の配置方法に関する。

##### 【0002】

#### 【従来の技術】

携帯電話の急速な普及に伴い、その無線部の小型化の必要性が増している。そのため、無線部をIC化することが近年のトレンドである。無線部をIC化するためには、従来個別の部品やモジュールで作られていた発振器や低雑音アンプをIC化する必要がある。

##### 【0003】

図12は、IC化された従来の発振装置の回路の一例を示す。図12に示す回路において、コイル1002およびコイル1003が直列に接続され、コイル1002およびコイル1003の接続点には、電源1001が接続されている。コイル1002およびコイル1003の直列回路には、直流阻止用コンデンサ1004、1005を介して、スイッチング素子1006、1007が直列に接続された回路、および直流阻止用コンデンサ1025、1026を介して、可変容量素子1008、1009が直列に接続された回路が並列に接続されている。そして上記のように構成される共振回路に、MOSFET1010、1020で形成される負性抵抗回路が接続され、回路全体として差動発振器として形成されている。また、スイッチング素子1006、1007には、制御電圧13が接続され、制御電圧端子13に印加される制御電圧により、発信周波数の周波数帯を切り替えることができる。

##### 【0004】

また、図 13 は、IC 化された従来の増幅装置の回路の一例を示す。図 13 に示す回路において、コイル 1027 およびコイル 1028 が直列に接続され、コイル 1027 およびコイル 1028 の接続点には、電源 1029 が接続されている。コイル 1027 およびコイル 1028 の直列回路には、MOSFET 1030、1031 が接続され、差動増幅器が形成されている。

#### 【0005】

しかし、図 12 に示す発振器がシリコン基板（図示せず）上に形成された場合は、MOSFET のドレイン 1021 側に基板との間に寄生容量 1023 および寄生抵抗 1024 が形成される。従って、コイル 1003 は、高周波信号成分に対しては、図 14 に示すように、寄生容量 1023 および寄生抵抗 1024 の直列回路との並列接続回路と等価となる。このように寄生容量 1023 および寄生抵抗 1024 の影響を受けると、共振回路の特性は、図 15 に示すように、本来実線で示す特性をとなるべきものが、破線で示すように鈍った特性となってしまう。すなわち、共振回路の Q が劣化し、C/N が劣化していた。

#### 【0006】

また、図 13 に示す増幅回路がシリコン基板上に形成された場合も同様に、MOSFET のドレイン 1021、1022 側に基板との間に寄生容量 1023 および寄生抵抗 1024 が形成される。従って高周波信号は、寄生容量 1023 を介して寄生抵抗 1024 にリークする。そして、この寄生抵抗の影響により高周波信号の一部が損失する。その結果、ゲートの寄生成分の影響により雑音特性が劣化し、ドレインの寄生成分の影響により歪み特性が劣化していた。

#### 【0007】

また、シリコン基板上にスイッチング素子が形成された場合も、上記と同様に寄生抵抗および寄生容量が形成され、その結果、スイッチング素子が ON されたときの損失につながっていた。また、例えば、上記の発信器と組み合わせて使用される場合、スイッチング素子が ON の状態では、共振回路がさらにスイッチング素子を介した寄生抵抗および寄生容量の影響を受けるので、Q 値がさらに鈍り特性が劣化してしまう。

#### 【0008】

そこで、上記の問題を解決するために、いくつかの解決策が示されてきた。例えば、1つの解決策では、半導体素子とシリコン基板の間に酸化膜を形成する構成が提案されてきた（例えば、特許文献1参照。）。このように半導体素子とシリコン基板の間に酸化膜を形成することにより、寄生容量1024を低下させることにより、発振器、低雑音アンプの特性劣化を改善することができる。しかし、現実的には、このような構成とするためには、製造プロセスの変更が必要となり、高コストなプロセスとなっていた。

#### 【0009】

また、別の解決策では、シリコン基板の不純物濃度を低下させることにより、寄生抵抗1024の抵抗値を増加させる構成が提案されてきた（例えば、特許文献2参照。）。図16は、寄生抵抗1024を変化させたときの、図12に示す発振装置を構成する共振回路のQ値の特性を模式的に示したものである。このような特性は、図12に示す回路において、コイル1002、1003が図14に示す回路に置き換わったものとして、共振回路のコンダクタンス、サセプタンスから導出することができる。図16に示す特性において、寄生抵抗1024が100～500Ωの範囲において、Q値が特に劣化する。従って、共振回路のQ値を改善するためには、寄生抵抗1024の抵抗値を上記の範囲から増加させるか低下させるかすればよい。従って、上記のようにシリコン基板の不純物濃度を低下させることにより寄生抵抗1024の抵抗値を増加させ、発振回路の特性を改善することができる。また増幅回路においても、寄生抵抗が増加することにより特性劣化を抑制することができる。しかし、この解決策においても、製造プロセスの変更が必要とされ、そのために高コストなプロセスとなっていた。

#### 【0010】

そこで、さらに別の解決策においては、MOSFETにできるだけ近接させてシリコン基板の接地を取るためのコンタクトを配置する構成も提案されてきた。図17はこのような構成のマルチフィンガータイプのMOSFETの構成を示す平面図である。図17に示す構成において、長手形状を有したソース電極1032が配置され、ソース電極1032に隣接して長手形状のゲート電極が1033が配置され、ゲート電極1033に隣接して長手形状のドレイン電極1034が

配置されている。そして、ドレイン電極 1034 に近接して、シリコン基板配線 1036 に接続されたコンタクタ 1035 が配置されている。シリコン基板配線 1036 は接地極に接続されている。このような構成により、ドレイン電極 1034 から接地極に至る寄生抵抗 1024 の抵抗値を低下させることができるので、上述した理由により発振回路における Q 値の特性を改善することができる。また、増幅回路においても、寄生抵抗 1024 を低下させることによりその特性の劣化を抑制することができる。

#### 【0011】

##### 【特許文献 1】

特表平 11-501466 号公報

##### 【特許文献 2】

特開平 8-316420 号公報

#### 【0012】

##### 【発明が解決しようとする課題】

しかし、図 17 に示す解決策においては、各ドレイン電極 1034 における寄生抵抗 1024 を十分に低下させるためには、コンタクタ 1035 を多数配置することが必要であった。例えば、図 12 に示す発振回路の半導体素子 1010、1020 を半導体基板上で実現すると、図 18 に示す配置となる。このように、コンタクタ 1035 およびシリコン基板配線 1036 を設置するための面積が余計に必要となり、IC チップ全体が大型化してしまい、コストアップの要因となっていた。

#### 【0013】

本発明は、上記の課題を鑑み、IC チップを小型化することができる、半導体差動回路、上記半導体差動回路を用いた発振装置、上記半導体差動回路を用いた増幅装置、上記半導体差動回路を用いたスイッチ装置、および半導体差動回路の配置方法を提供することを目的とする。

#### 【0014】

##### 【課題を解決するための手段】

上記課題を解決するための、第 1 の本発明は、半導体基板 (1) と、前記半導

体基板（１）上に形成され、差動信号のうち一方の信号が伝達される第１のドレイン電極（Ｄ１）、および前記一方の信号を制御するための第１のゲート電極（Ｇ１）を有する第１の半導体素子と、前記半導体基板（１）上に形成され、前記差動信号のうち他方の信号が伝達される第２のドレイン電極（Ｄ２）、および前記他方の信号を制御するための第２のゲート電極（Ｇ２）を有する第２の半導体素子と、を備え、所定の周波数において、前記第１のドレイン電極（Ｄ１）が、所定の抵抗を介して接地され、かつ、前記第２のドレイン電極（Ｄ２）が、前記所定の抵抗と同じ抵抗値の抵抗を介して接地されたものと等価となるように、前記第１のドレイン電極（Ｄ１）と、前記第２のドレイン電極（Ｄ２）とが近接して配置されている、半導体差動回路である。

#### 【 0 0 1 5 】

第２の本発明は、前記所定の抵抗の抵抗値は、前記所定の周波数において、前記第１のドレイン電極（Ｄ１）と前記第２のドレイン電極（Ｄ２）との間隔により決定される、前記半導体基板を介した、前記第１のドレイン電極（Ｄ１）と前記第２のドレイン電極（Ｄ２）との間に形成される抵抗値の半分である、第１の本発明の半導体差動回路である。

#### 【 0 0 1 6 】

第３の本発明は、前記第１の半導体素子および前記第２の半導体素子がそれぞれマルチフィンガータイプのＦＥＴであり、前記第１のドレイン電極（Ｄ１）の長手方向に沿って前記第２のドレイン電極（Ｄ２）の長手方向が近接して配置される、第１または第２の本発明の半導体差動回路である。

#### 【 0 0 1 7 】

第４の本発明は、前記第１の半導体素子は、前記第１のゲート電極（Ｇ１）が、前記第１のドレイン電極（Ｄ１）の長手方向に沿って前記第１のドレイン電極（Ｄ１）に隣接して配置され、前記第１のゲート電極（Ｇ１）の長手方向に沿って前記第１のゲート電極（Ｇ１）に隣接して配置される第１のソース電極（Ｓ）を有し、前記第２の半導体素子は、前記第２のゲート電極（Ｇ２）が、前記第２のドレイン電極（Ｄ２）の長手方向に沿って前記第２のドレイン電極（Ｄ２）に隣接して配置され、前記第２のゲート電極（Ｇ２）の長手方向に沿って前記第２

のゲート電極（G 2）に隣接して配置される第 2 のソース電極（S）を有し、前記第 1 の半導体素子および前記第 2 の半導体素子で構成される回路を第 1 の単位回路として備え、前記第 1 の単位回路が互いに隣接して  $n$  個配置され、 $i$ （ $i$  は 1 以上  $n - 1$  以下）番目の第 1 の単位回路に隣接して  $i + 1$  番目の第 1 の単位回路が配置され、前記  $n$  個の第 1 のドレイン電極は互いに接続され、前記  $n$  個の第 2 のドレイン電極は互いに接続され、前記  $n$  個の第 1 のゲート電極は、互いに接続され、前記  $n$  個の第 2 のゲート電極は互いに接続され、前記  $n$  個の第 1 のソース電極および前記  $n$  個の第 2 のソース電極は互いに接続されている、第 3 の本発明の半導体差動回路である。

#### 【0018】

第 5 の本発明は、前記半導体基板上に第 3 のソース電極（S）が形成され、前記第 1 のゲート電極（G 1）は、前記第 3 のソース電極（S）の長手方向に沿って前記第 3 のソース電極（S）に隣接して配置され、前記第 1 のドレイン電極（D 1）は、前記第 1 のゲート電極（G 1）の長手方向に沿って、前記第 3 のソース電極（S）とは反対側に前記第 1 のゲート電極（G 1）に隣接して配置され、前記第 2 のドレイン電極（D 2）は、前記第 1 のドレイン電極（D 1）の長手方向に沿って、前記第 1 のゲート電極（G 1）とは反対側に前記第 1 のドレイン電極（D 1）と近接して配置され、前記第 2 のゲート電極（G 2）は、前記第 2 のドレイン電極（D 2）の長手方向に沿って、前記第 1 のドレイン電極（D 1）とは反対側に前記第 2 のドレイン電極（D 2）に隣接して配置され、前記第 3 のソース電極（S）、前記第 1 のゲート電極（G 1）、前記第 1 のドレイン電極（D 1）、前記第 2 のドレイン電極（D 2）、および前記第 2 のゲート電極（G 2）で構成される回路を第 2 の単位回路として備え、前記第 2 の単位回路が互いに隣接して  $n$  個配置され、 $i$ （ $i$  は 1 以上  $n - 1$  以下）番目の第 2 の単位回路の前記第 2 のゲート電極（G 2）が、 $i + 1$  番目の単位回路の前記第 3 のソース電極（S）に隣接して配置され、前記  $n$  個の第 1 のドレイン電極は互いに接続され、前記  $n$  個の第 2 のドレイン電極は互いに接続され、前記  $n$  個の第 1 のゲート電極は、互いに接続され、前記  $n$  個の第 2 のゲート電極は互いに接続され、前記  $n$  個の第 1 のソース電極および前記  $n$  個の第 2 のソース電極は互いに接続され、前記  $n$

個の第3のソース電極は互いに接続されている、第3の本発明の半導体差動回路である。第6の本発明は、前記第1のゲート電極（G1）は、前記第1のドレイン電極（D1）を囲むように配置され、前記第2のゲート電極（G2）は、前記第2のドレイン電極（D2）を囲むように配置され、前記第1のゲート電極（G1）および前記第2のゲート電極（G2）の間にソース電極（S）が配置されている、第1または第2の本発明の半導体差動回路である。

#### 【0019】

第7の本発明は、前記第1のドレイン電極（D1、D1'）および前記第2のドレイン電極（D2、D2'）は、2個ずつ存在し、一方の第1のドレイン電極（D1）と一方の第2のドレイン電極（D2）との間にソース電極（S2）が配置され、他方の第1のドレイン電極（D1'）と他方の第2のドレイン電極（D2'）との間に、前記ソース電極（S2）に接続された電極（S2）が配置され、前記一方の第1のドレイン電極（D1）と前記他方の第2のドレイン電極（D2'）との間に、前記ソース電極（S2）に接続された電極（S1）が配置され、前記他方の第1のドレイン電極（D1'）と前記一方の第2のドレイン電極（D2）との間に、前記ソース電極（S2）に接続された電極（S1）が配置されている、第6の本発明の半導体差動回路である。

#### 【0020】

第8の本発明は、前記第1のゲート電極（G1）は、前記第1のドレイン電極（D1）に隣接して配置され、前記第2のゲート電極（G2）は、前記第2のドレイン電極（D2）に隣接して配置され、前記第1のドレイン電極（D1）、前記第2のドレイン電極（D2）、前記第1のゲート電極（G1）、および前記第2のゲート電極（G2）を囲むように、かつ、前記第1のゲート電極（G1）および前記第2のゲート電極（G2）に隣接して、ソース電極（S3）が配置されている、第1または第2の本発明の半導体差動回路である。

#### 【0021】

第9の本発明は、前記第1のドレイン電極（D1、D1'）および前記第2のドレイン電極（D2、D2'）が2個ずつ存在し、一方の第1のドレイン電極（D1）および一方の第2のドレイン電極（D2）が近接して配置され、他方の第

1のドレイン電極(D1')および他方の第2のドレイン電極(D2')が近接して配置され、前記一方の第1のドレイン電極(D1)および前記他方の第2のドレイン電極(D2')が近接して配置され、前記他方の第1のドレイン電極(D1')および前記一方の第2のドレイン電極(D2)が近接して配置されている、第8の本発明の半導体差動回路である。

#### 【0022】

第10の本発明は、半導体基板(1)と、前記半導体基板(1)上に形成され、差動信号のうち一方の信号が伝達される第1のコレクタ(C1)またはベース(B1)を有する第1の半導体素子と、前記半導体基板(1)上に形成され、前記差動信号のうち他方の信号が伝達される第2のコレクタ(C2)またはベース(B2)を有する第2の半導体素子と、を備え、所定の周波数において、前記第1のコレクタ(C1)またはベース(B1)が、所定の抵抗を介して接地され、かつ、前記第2のコレクタ(C2)またはベース(B2)が、前記所定の抵抗と同じ抵抗値の抵抗を介して接地されたものと等価となるように、前記第1のコレクタ(C1)またはベース(B1)と、前記第2のコレクタ(C2)またはベース(B2)とが近接して配置される、半導体差動回路である。

#### 【0023】

第11の本発明は、第1～10の本発明のいずれかの半導体差動回路を用いた発振装置である。

#### 【0024】

第12の本発明は、第1～10の本発明のいずれかの半導体差動回路を用いたスイッチ装置である。

#### 【0025】

第13の本発明は、第1～10の本発明のいずれかの半導体差動回路を用いた増幅装置である。

#### 【0026】

第14の本発明は、半導体基板(1)と、前記半導体基板(1)上に形成され、差動信号のうち一方の信号が伝達される第1のドレイン電極(D1)、および前記一方の信号を制御するための第1のゲート電極(G1)を有する第1の半導



体素子と、前記半導体基板（１）上に形成され、前記差動信号のうち他方の信号が伝達される第２のドレイン電極（Ｄ２）、および前記他方の信号が伝達される第２のゲート電極（Ｇ２）を有する第２の半導体素子と、を備えている半導体差動回路の配置方法であって、所定の周波数において、前記第１のドレイン電極（Ｄ１）が、所定の抵抗を介して接地側と接続され、かつ、前記第２のドレイン電極（Ｄ２）が、前記所定の抵抗と同じ抵抗値の抵抗を介して接地されたものと等価となるように、前記第１のドレイン電極（Ｄ１）と、前記第２のドレイン電極（Ｄ２）とを近接して配置する、半導体差動回路の配置方法である。

#### 【 0 0 2 7 】

##### 【発明の実施の形態】

##### （実施の形態１）

図１は、本発明の実施の形態１の、マルチフィンガータイプの半導体差動回路の平面図（図１（ａ））、および断面図（図１（ｂ））である。図１に示す半導体差動回路は、半導体基板１上に、長手形状の第１のドレイン電極Ｄ１が配置され、ドレイン電極Ｄ１の両側にドレイン電極Ｄ１に隣接して長手形状の本発明の第１のゲート電極の一例であるゲート電極Ｇ１が配置され、それぞれのゲート電極Ｇ１に隣接して長手形状の本発明の第１のソース電極の一例であるソース電極Ｓが配置されている。すなわち、ソース電極Ｓ、ゲート電極Ｇ１、ドレイン電極Ｄ１、ゲート電極Ｇ１、およびソース電極Ｓが配列された構成は、本発明の第１の半導体素子の構成を示す一例である。

#### 【 0 0 2 8 】

また、半導体基板１上には、長手形状の第２のドレイン電極Ｄ２が配置され、ドレイン電極Ｄ２の両側にドレイン電極Ｄ２に隣接して長手形状の本発明の第２のゲート電極の一例であるゲート電極Ｇ２が配置され、それぞれのゲート電極２に隣接して長手形状の本発明の第２のソース電極の一例であるソース電極Ｓが配置されている。すなわち、ソース電極Ｓ、ゲート電極Ｇ２、ドレイン電極Ｄ２、ゲート電極Ｇ２、およびソース電極Ｓが配列された構成は、本発明の第２の半導体素子の構成を示す一例である。

#### 【 0 0 2 9 】

ここで、上記の、本発明の第1の半導体素子および本発明の第2の半導体素子で構成される回路を第1の単位回路とすると、図1に示す回路は、一番目の第1の単位回路と2番目の第1の単位回路が隣接して配置された構成である。また、上記第1の半導体素子の右端のソース電極Sと、上記第2の半導体素子の左端のソース電極は、共有化されている。また、一番目の第1の単位回路の右端のソース電極Sと、2番目の第1の単位回路の左端のソース電極も共有化されている。

#### 【0030】

このとき、ドレイン電極D1およびドレイン電極D2は、できるだけ近接して配置される。また、ドレイン電極D1には、差動信号の一方の信号が入力され、ドレイン電極D2には、差動信号の他方の信号が入力される。また第1の単位回路において、各ドレイン電極D1は互いに接続され、各ドレイン電極D2は互いに接続され、各ゲート電極G1は互いに接続され、各ゲート電極G2は互いに接続されている。

#### 【0031】

次に、上記のように構成された図1に記載の半導体差動回路の動作について説明する。ドレイン電極D1に差動信号の一方が入力され、ドレイン電極D2に差動信号の他方が入力されると、ドレインD1およびドレインD2から電気長が等しい点（以下電気的中点という。）においては、差動信号が互いに打ち消し合うため接地されていることと等価となる。例えば図1（b）を参照しながら説明すると、ドレインD1およびドレインD2は、高周波領域において、寄生容量2および寄生抵抗3を介して接続されているものと見なすことができる。ドレインD1およびドレインD2は半導体基板1上に同様のプロセスで形成されるので寄生抵抗2は等しいと見ることができる。従って半導体基板1を介する寄生抵抗3の中点、すなわち半導体基板1内において、ドレインD1およびドレインD2の電気的中点4においては、接地されていることと等価（以下仮想接地という。）となる。従って、半導体基板1内において、ドレインD1およびドレインD2の間隔により決定される抵抗をRとすると、ドレインD1およびドレインD2は、それぞれ $R/2$ の抵抗を介して接地されたものと等価となる。

#### 【0032】

このように、本実施の形態の半導体差動回路によれば、接地側に接続されたコンタクト 1035 が必要とされることなく接地を取ることができ、コンタクト 1035 およびシリコン基板配線 1036 のための接地面積が不要となり、IC チップを小型化することができる。さらに、寄生抵抗 3 の値を半分にすることができるので、さらに寄生抵抗 3 の抵抗値を低下させることができる。その結果、共振器の Q 値を高めることができ、発振装置、増幅装置の特性劣化を改善することができる。

#### 【0033】

なお、図 1 に示す構成では、第 1 の半導体素子は、ドレイン電極 D 1 の両側にゲート電極 G 1 がそれぞれ配置される構成であるとして説明したが、第 1 の半導体素子は、ドレイン電極 D 1 の片側にゲート電極 G 1 が配置される構成であってもよい。その場合は、第 1 の半導体素子は、ゲート電極 G 1 に隣接したソース電極を 1 つ有する構成となる。また、第 2 の半導体素子についても上記第 1 の半導体素子と同様の構成となる。

#### 【0034】

また、上記では、第 1 の単位回路における、各ドレイン電極 D 1 どうし、各ドレイン電極 D 2 どうし、各ゲート電極 G 1 どうし、各ゲート電極 G 2 どうしは、それぞれ互いに接続されている、としたが、各ドレイン電極 D 1 どうし、各ドレイン D 2 どうし、各ゲート電極 G 1 どうし、各ゲート電極 G 2 どうしは、それぞれ互いに接続されない構成も考えられる。その場合は、1 番目の第 1 の単位回路は 2 番目の第 1 の単位回路に直列に接続されるように構成されてもよい。すなわち、1 番目の第 1 の単位回路の第 1 の半導体素子の出力側は、2 番目の第 1 の単位回路の第 1 の半導体素子の入力側に接続され、1 番目の第 1 の単位回路の第 2 の半導体素子の出力側は、2 番目の第 1 の単位回路の第 2 の半導体素子の入力側に接続される構成であってもよい。

#### 【0035】

また、上記は、第 1 の単位回路が 2 つ接続された構成を有する場合を示したが、第 1 の単位回路が  $n$  ( $n$  は 2 以上) 個接続される構成であってもよい。その場合は、 $i$  ( $i$  は 1 以上  $n - 1$  以下) 番目の第 1 の単位回路に隣接して  $i + 1$  番目

の第 1 の単位回路が配置される構成であればよい。

### 【0036】

(実施の形態 2)

図 2 は、本発明の実施の形態 2 のマルチフィンガータイプの半導体差動回路の構成を示す平面図（図 2（a））、および断面図（図 2（b））である。図 2 に示す半導体差動回路は、半導体基板 1 上に形成された本発明の第 3 のソース電極の一例であるソース電極 S と、ソース電極 S の長手方向に沿ってソース電極 S に隣接して配置される、本発明の第 1 のゲート電極の一例であるゲート電極 G 1 と、ゲート電極 G 1 の長手方向に沿って、ソース電極 S とは反対側にゲート電極 G 1 に隣接して配置される、本発明の第 1 のドレイン電極の一例であるドレイン電極 D 1 と、ドレイン電極 D 1 の長手方向に沿って、ゲート電極 G 1 とは反対側にドレイン電極 D 1 と近接して配置される、本発明の第 2 のドレイン電極の一例であるドレイン電極 D 2 と、ドレイン電極 D 2 の長手方向に沿って、ドレイン電極 D 1 とは反対側にドレイン電極 D 2 に隣接して配置される、本発明の第 2 のゲート電極の一例であるゲート電極 G 2 と、を備えている。

### 【0037】

ソース電極 S、ゲート電極 G 1、ドレイン電極 D 1、ドレイン電極 D 2、およびゲート電極 G 2 が配列された構成は、本発明の第 2 の単位回路を形成する一例である。

### 【0038】

また第 2 の単位回路におけるドレイン電極 D 1 どうしは互いに接続され、ドレイン電極 D 2 どうしは互いに接続され、ゲート電極 G 1 どうしは互いに接続され、ゲート電極 G 2 どうしは互いに接続されている。

### 【0039】

本実施の形態の半導体差動回路によれば、ドレイン電極 D 1 とドレイン電極 D 2 との間には、他の電極が挿入されない構成なので、ドレイン電極 D 1 およびドレイン電極 D 2 は、実施の形態 1 の半導体差動回路における場合よりも、より近接させることができ、さらに共振器の Q 値を高めることができる。したがって、本実施の形態の半導体差動回路によれば、発振装置、増幅装置の特性劣化をさら

に改善することができる。

#### 【0040】

なお、図2に示す構成は、第2の単位回路が2つ配置された例を示したが、本実施の形態の半導体差動回路は、 $n$  ( $n$ は2以上) 個の第2の単位回路により構成されてもよい。その場合は、 $i$  ( $i$ は1以上 $n-1$ 以下) 番目の第2の単位回路に隣接して $i+1$ 番目の第2の単位回路が配置される構成であればよい。そして、 $i$ 番目の第2の単位回路のゲート電極 $G_2$ が $i+1$ 番目の単位回路のソース電極 $S$ に隣接して配置される構成であればよい。

#### 【0041】

なお、以上までの実施の形態1および2の説明において、ドレイン電極 $D_1$ 、ドレイン電極 $D_2$ は、その長手方向が近接するように配置されるとして説明してきたが、ドレイン電極 $D_1$ およびドレイン電極 $D_2$ は、他の方向が互いに近接して配置される構成であってもよい。例えば図9は、ドレイン電極 $D_1$ およびドレイン電極 $D_2$ の先端部を近接させた構成を示す。このような構成においても、ドレイン電極 $D_1$ およびドレイン電極 $D_2$ の電気的中点（すなわち距離的中点）は、仮想接地点となり、ドレイン $D_1$ 、ドレイン $D_2$ ともに上記と同様、寄生抵抗値 $R/2$ を介して接地側と接続されている状態と等価となり上記の場合と同様の効果を得ることができる。

#### 【0042】

また、上記では、第2の単位回路における、各ドレイン電極 $D_1$ どうし、各ドレイン電極 $D_2$ どうし、各ゲート電極 $G_1$ どうし、各ゲート電極 $G_2$ どうしは、それぞれ互いに接続されている、としたが、各ドレイン電極 $D_1$ どうし、各ドレイン $D_2$ どうし、各ゲート電極 $G_1$ どうし、各ゲート電極 $G_2$ どうしは、それぞれ互いに接続されない構成も考えられる。その場合は、1番目の第2の単位回路は2番目の第2の単位回路に直列に接続されるように構成されてもよい。すなわち、1番目の第2の単位回路の第1の半導体素子の出力側は、2番目の第2の単位回路の第1の半導体素子の入力側に接続され、1番目の第2の単位回路の第2の半導体素子の出力側は、2番目の第2の単位回路の第2の半導体素子の入力側に接続される構成であってもよい。

## 【0043】

また、以上の説明までのFETは、マルチフィンガータイプのものであるとしてきたが、他のタイプのFETであってもよく、その場合も上記と同様の効果を得ることができる。

## 【0044】

(実施の形態3)

図3は、本発明の実施の形態3の半導体差動回路の構成を示す平面図である。図3に示す半導体差動回路は、矩形状の本発明の第1のドレイン電極の例であるドレイン電極D1およびドレイン電極D1'、矩形状の本発明の第2のドレイン電極の例であるドレイン電極D2およびドレイン電極D2'を有する。そして、ドレイン電極D1、D1'をそれぞれ囲むように配置される、本発明の第1のゲート電極の例であるゲート電極G1、ゲート電極G1'を有し、ドレイン電極D2、D2'をそれぞれ囲むように配置される、本発明の第2のゲート電極の例であるゲート電極G2、ゲート電極G2'を有する。

## 【0045】

そして、ゲート電極G1およびゲート電極G1'の間、ならびにゲート電極G2およびゲート電極G2'の間には、長手形状のソース電極S1が配置され、ゲート電極G1およびゲート電極G2の間、ならびにゲート電極G1'およびゲート電極G2'の間には、ソース電極S1と交差するように接続されている長手形状のソース電極S2が配置されている。

## 【0046】

そして、ゲート電極G1、G1'、G2、G2'、およびソース電極S1、S2を囲むようにソース電極S3が配置されている。ソース電極S1およびソース電極S2は、ソース電極S3に接続されている。ソース電極S1、S2、およびS3により形成される田の字型のソース電極は、本発明のソース電極の一例として構成されている。

## 【0047】

ここで、ドレイン電極D1およびドレイン電極D2は、それらを結ぶ中点（または中線）が仮想接地点（または仮想接地線）となるように近接して配置される

。同様に、ドレイン電極  $D1'$ 、 $D2'$  についても近接して配置される。従って、上記の仮想接地線は、ソース電極  $S2$  にほぼ沿って上下に延びる。

#### 【0048】

このような本実施の形態の半導体差動回路によれば、各ドレイン電極は、各ゲート電極により囲まれる構成であればよいので、各ドレイン電極は、充分小さい面積を有して構成することができる。各ドレイン電極の面積を小さくすることにより半導体基板 1 との寄生容量 2 を減少させることができるので、さらに特性劣化の少ない発振回路、増幅回路を構成することができる。

#### 【0049】

なお、上記の説明では、仮想接地線が  $S2$  に沿った構成であるとして説明したが、仮想接地線が  $S1$  に沿って形成されるような構成であってもよい。

#### 【0050】

さらに、仮想接地線が  $S1$  および  $S2$  にそれぞれ沿って形成される構成であってもよい。その場合の構成例を図 4 に示す。図 4 に示す半導体差動回路においては、図 3 に示す半導体差動回路のドレイン電極  $D1$  およびドレイン電極  $D1'$  が対角状に配置され、ドレイン電極  $D2$  およびドレイン電極  $D2'$  が対角状に配置される構成である。すなわち、本発明の一方の第 1 のドレイン電極  $D1$  と、本発明の一方の第 2 のドレイン電極との間にソース電極  $S2$  が配置され、本発明の他方の第 1 のドレイン電極の一例であるドレイン電極  $D1'$  と、本発明の他方の第 2 のドレイン電極の一例であるドレイン電極  $D2'$  との間に、ソース電極  $S2$  が配置され、ドレイン電極  $D1$  とドレイン電極  $D2'$  との間には、ソース電極  $S2$  に接続されたソース電極  $S1$  が配置され、ドレイン電極  $D1'$  とドレイン電極  $D2$  との間には、ソース電極  $S1$  が配置されている。

#### 【0051】

各ドレイン電極をこのように配置することにより、仮想中線は、ソース電極  $S1$  にほぼ沿っても形成される。このように仮想中線が増加することは、各ドレインと接地側とがより広い範囲で寄生抵抗  $R/2$  を介して接続されることになるので、図 4 に示す半導体差動回路によれば、より特性劣化の少ない発振回路、増幅回路を構成することができる。

## 【0052】

また、本実施の形態の上記の説明において、各ドレイン電極は矩形状であるとしてきたが、各ドレイン電極が、各ゲート電極により囲まれる形状であればどのような形状であってもよく、その場合も上記と同様の効果を得ることができる。

## 【0053】

また、上記の説明において、例えば図3の例では、ドレイン電極が4個ある構成であるが、他の個数であってもよい。その場合は、各ドレイン電極を囲むように各ゲート電極が配置され、第1のゲート電極と第2のゲート電極との間にソース電極が配置される構成であればよい。そのような場合も上記と同様の効果を得ることができる。

## 【0054】

また、図5に示す構成は、図4に示す構成からソース電極S1およびソース電極S2を除去した構成である。図5に示す構成においては、各ゲート電極の形状は、各ドレイン電極を囲む形状ではなく、各ゲート電極は、各ドレイン電極とソース電極S3とにより挟まれる配置である。すなわち、本発明の一方の第1のドレイン電極の一例であるドレイン電極D1、および本発明の一方の第2のドレイン電極の一例であるドレイン電極D2が近接して配置され、本発明の他方の第1のドレイン電極の一例であるドレイン電極D1'、および本発明の他方の第2のドレイン電極の一例であるドレイン電極D2'が近接して配置され、ドレイン電極D1およびドレイン電極D2'が近接して配置され、ドレイン電極D1'およびドレイン電極D2が近接して配置されている。

## 【0055】

このような構成の半導体差動回路によると、各ドレイン電極の間にソース電極S1、S2が存在しないので、各ドレイン電極をより近接して配置することが可能となり、寄生抵抗3をさらに低下させることができる。従って図5に示す半導体差動回路を用いれば、より特性劣化の少ない発振回路、増幅回路を提供することができる。なお、この場合各ドレイン電極の数、形状、配置は、図5に示すものに限定されず、第1のドレイン電極と第2のドレイン電極とが近接して配置さ



れ、各ドレイン電極および各ゲート電極を囲むようにソース電極が配置される構成であれば、他の数、形状、配置であってもよく、その場合も上記と同様の効果を得ることができる。

#### 【0056】

(実施の形態4)

図6は、本発明の実施の形態4の半導体差動回路の構成を示す断面図である。本実施の形態の半導体差動回路は、上記の実施の形態1～3までの半導体差動回路をバイポーラトランジスタで構成したものである。図6(a)に示す半導体差動回路は、本発明の第1のコレクタの一例であるコレクタC1が半導体基板1上にウェル状に形成され、本発明の第1のベースの一例であるベースB1がコレクタC1上にウェル状に形成され、エミッタEがベースB1上にウェル状に形成されている。このとき、コレクタC1には差動信号のうちの一方の信号が入力され、コレクタC1、ベースB1、エミッタEは、本発明の第1の半導体素子を形成している。

#### 【0057】

コレクタC1に隣接して、本発明の第2のコレクタの一例であるコレクタC2がウェル状に形成され、コレクタC2上に、本発明の第2のベースの一例であるベースB2がウェル状に形成され、ベースB2上には、エミッタEがウェル状に形成されている。そして、コレクタC1およびコレクタC2の間には、絶縁層5が設けられているが、コレクタC1およびコレクタC2は、できるだけ近接して配置される。また第1の半導体および第2の半導体は、そのコレクタがC1C2C2C1の順に繰り返し配置されるように配置される。

#### 【0058】

その結果、コレクタC1は、高周波信号成分に対して、半導体基板1内のコレクタC1およびコレクタC2の距離により決定される寄生抵抗値Rの半分の抵抗値 $R/2$ で接地されることと等価となり、またコレクタC2は、同様に抵抗値 $R/2$ で接地されることと等価となる。その結果、上記の実施の形態1～3の場合と同様に、共振回路のQ値を高めることができる。

#### 【0059】

図6 (b) は、別の例のバイポーラトランジスタで構成された半導体差動回路を示す。図6 (b) に示す半導体差動回路は、第1の半導体および第2の半導体が、そのコレクタがC1 C2 C1 C2の順に繰り返し配置されるように配置されている。このような構成によれば、図6 (a) に示す構成による場合よりも、電気的中点4が多く形成されるのでより、より特性劣化の少ない発振装置、増幅装置を提供することができる。

#### 【0060】

なお、上記では、各コレクタが半導体基板1上にウェルとして形成される構成を説明したが、各ベースが半導体基板1上にウェルとして形成される構成であってもよい。その場合、図6 (a)、図6 (b) における各コレクタの位置に各ベースが配置され、各ベースの位置にエミッタが配置され、エミッタの位置に各コレクタが配置される構成となる。図7は、そのような場合の半導体差動回路の上部から見た平面図を示す。そして、本発明の第1のベースの一例であるベースB1および本発明の第2のベースの一例であるベースB2が近接される構成となり、上記と同様の効果を得ることができる。

#### 【0061】

また、図8に示すように、差動信号の一方が伝達されるベースB1およびベースB1'を対角上に配置し、差動信号の他方の信号が伝達されるベースB2およびベースB2'を対角上に配置する構成も考えられる。このような構成によっても上記と同様の効果を得ることができる。

#### 【0062】

実施の形態1～4に説明した半導体差動回路を用いた発振装置、増幅装置も本発明の範疇に属する。図10は、本発明の半導体差動回路を用いた発振装置の回路構成例を示す。図10に示す回路は、図12に示す回路において、スイッチング素子1006, 1007から構成される部分を本発明の半導体差動回路11に置き換え、MOSFET1010, 1020から構成される部分を本発明の半導体差動回路12に置き換えたものである。半導体差動回路11には、制御電圧端子13が接続され、制御電圧端子13に印加される制御電圧により、発振周波数の周波数帯を切り替えることができる。また、半導体差動回路12においては、

上述のように寄生抵抗値が小さくなっているので、共振回路のQ値を高く取ることができ、発振回路の特性の劣化を抑制することができる。

#### 【0063】

図11は、本発明の半導体差動回路を用いた増幅装置の回路構成例を示す。図11に示す回路は、図13に示す回路において、MOSFET1030、1031から構成される部分を本発明の半導体差動回路13に置き換えたものである。このような増幅装置によれば、上述のように寄生抵抗による損失を低下させることができ、増幅装置の劣化を抑制することができる。

#### 【0064】

また、本発明の半導体作動回路をスイッチング装置として利用した場合、スイッチング素子がON時の寄生抵抗、寄生容量による損失を低下させることができる。また、例えばスイッチ装置と上述の発信回路を組み合わせて使用する場合は、発信回路の特性劣化を抑制することができる。

#### 【0065】

##### 【発明の効果】

本発明によれば、ICチップを小型化することができる、半導体差動回路、上記半導体差動回路を用いた発振装置、上記半導体差動回路を用いた増幅装置、上記半導体差動回路を用いたスイッチ装置、および半導体差動回路の配置方法を提供することができる。

##### 【図面の簡単な説明】

##### 【図1】

本発明の実施の形態1の半導体差動回路の構成を示す平面図および断面図である。

##### 【図2】

本発明の実施の形態2の半導体差動回路の構成を示す平面図および断面図である。

##### 【図3】

本発明の実施の形態3の半導体差動回路の構成を示す平面図である。

##### 【図4】

本発明の実施の形態 3 の半導体差動回路の構成を示す平面図である。

【図 5】

本発明の実施の形態 3 の半導体差動回路の構成を示す平面図である。

【図 6】

本発明の実施の形態 4 の半導体差動回路の構成を示す断面図である。

【図 7】

本発明の実施の形態 4 の半導体差動回路の構成を示す平面図である。

【図 8】

本発明の実施の形態 4 の半導体差動回路の構成を示す平面図である。

【図 9】

本発明の実施の形態 1 の半導体差動回路の別の構成を示す平面図である。

【図 1 0】

本発明の半導体差動回路を用いた発振装置の回路構成を示す図である。

【図 1 1】

本発明の半導体差動回路を用いた増幅装置の回路構成を示す図である。

【図 1 2】

従来技術の発振装置の回路構成を示す図である。

【図 1 3】

従来技術の増幅装置の回路構成を示す図である。

【図 1 4】

従来技術の発振装置または増幅装置における寄生成分の影響を考慮した回路要素の等価回路である。

【図 1 5】

従来技術または本発明における発振装置に使用される共振回路における共振周波数特性の Q 値の変化による影響を示す図である。

【図 1 6】

従来技術または本発明における発振装置に使用される共振回路における Q 値の寄生抵抗による影響を示す図である。

【図 1 7】



従来技術のマルチフィンガータイプの F E T の構成を示す平面図である。

【図 1 8】

従来技術のマルチフィンガータイプの F E T を差動構成とするときの配置を示す平面図である。

【符号の説明】

1 半導体基板

2 寄生容量

3 寄生抵抗

4 電気的中点

D 1、D 1'、D 2、D 2' ドレイン電極

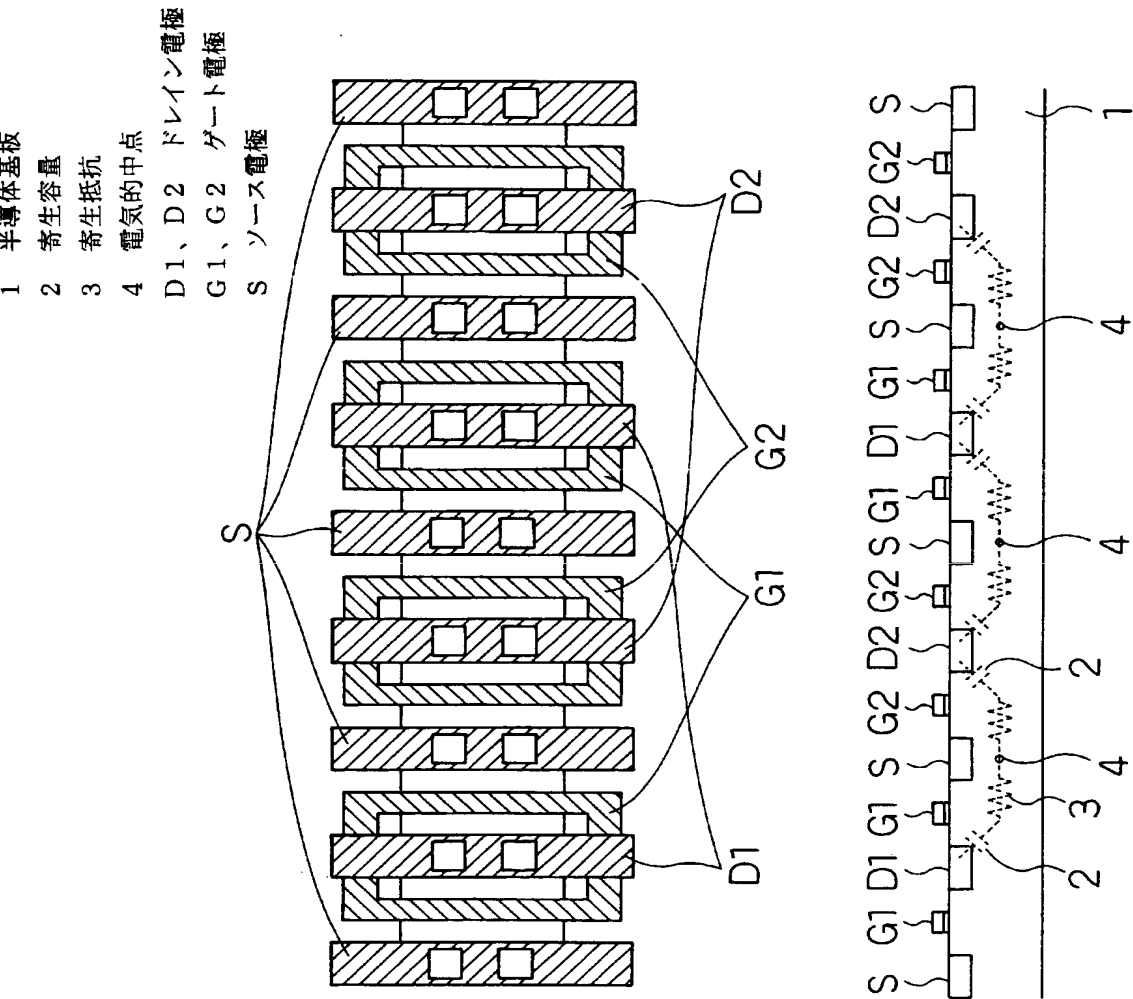
G 1、G 1'、G 2、G 2' ゲート電極

S、S 1、S 2、S 3 ソース電極

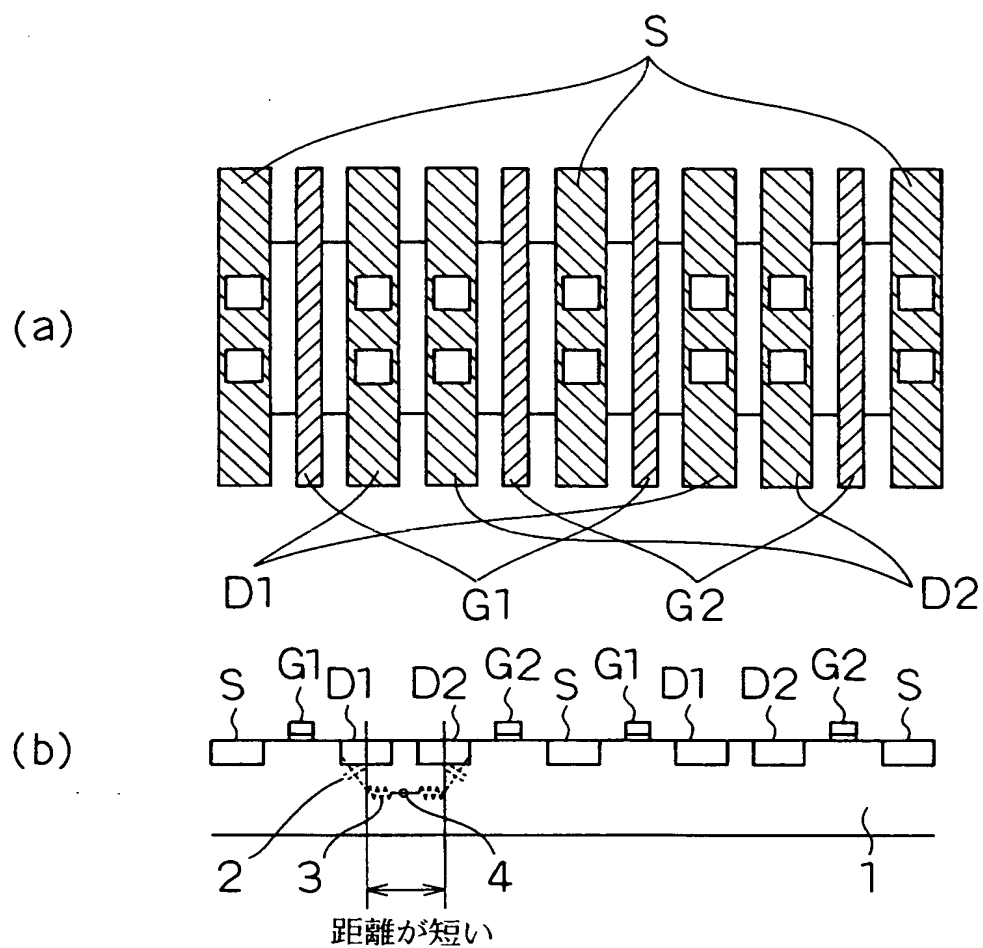
1 1、1 2、1 3 半導体差動回路

【書類名】 図面

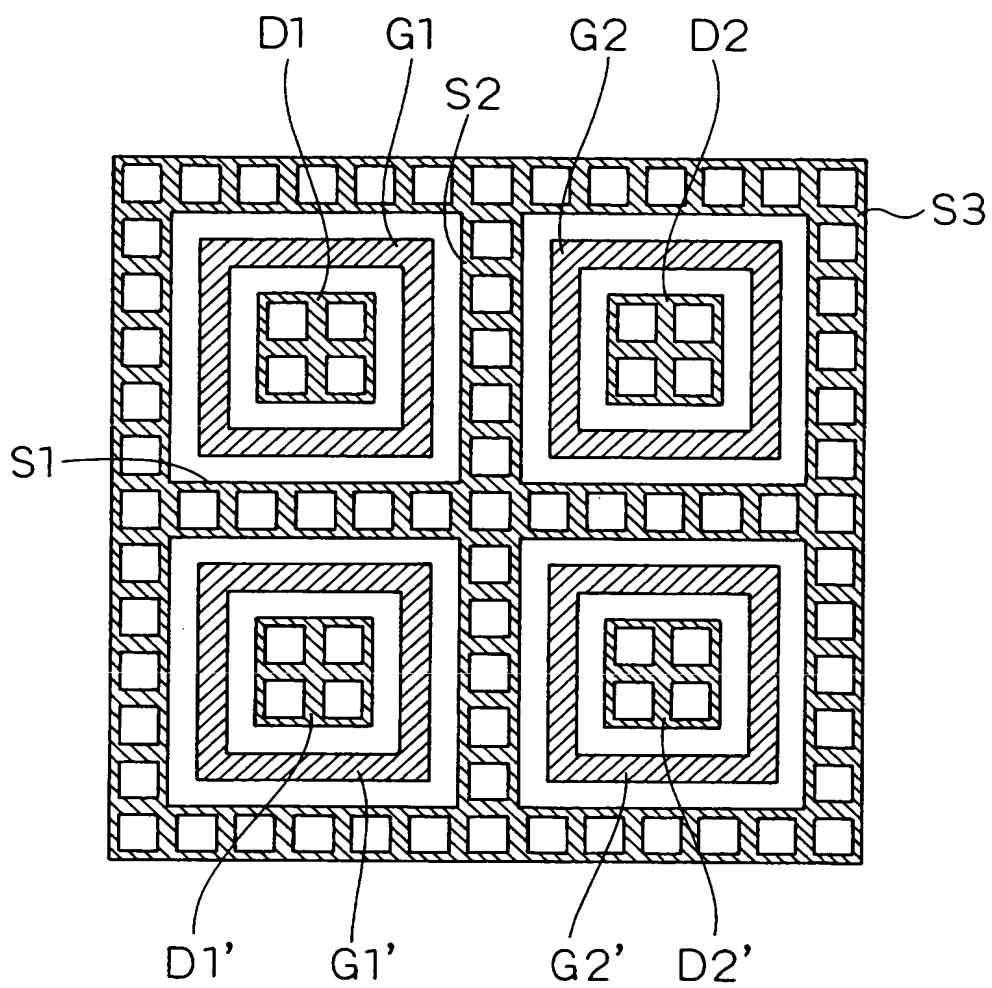
【図1】



【図 2】

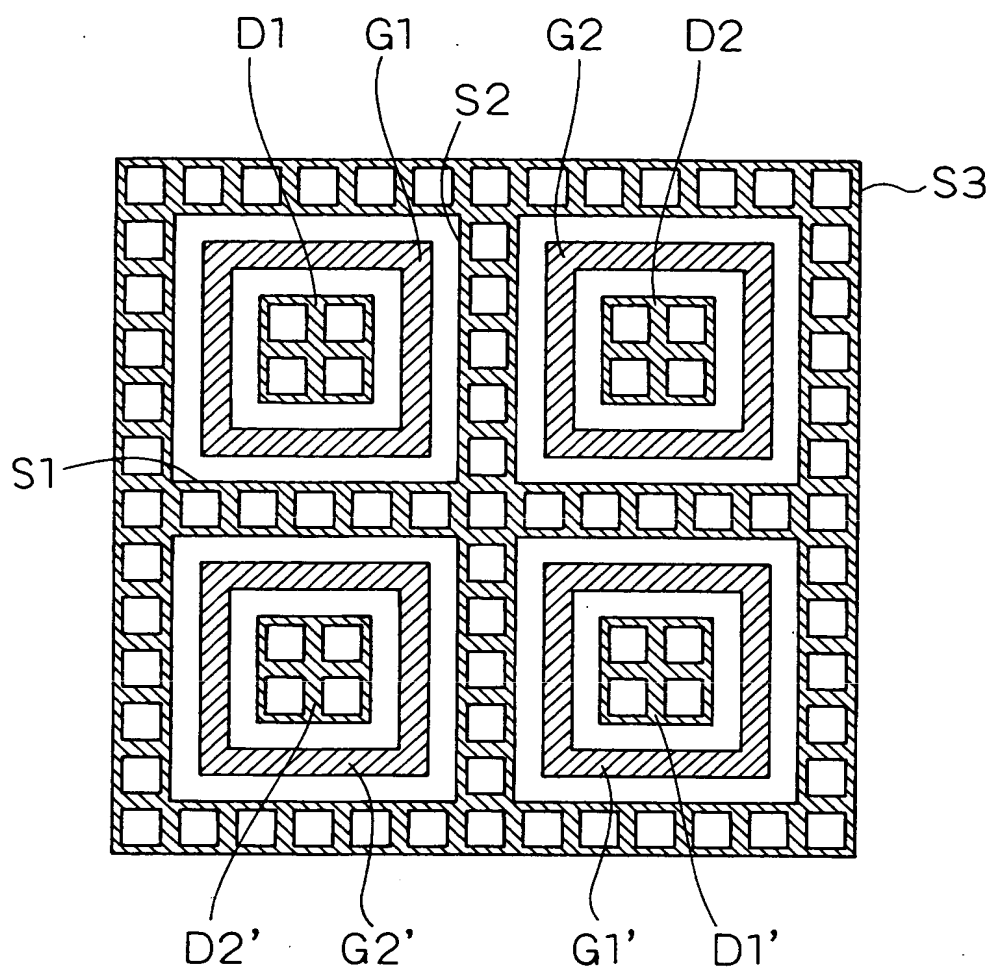


【図 3】

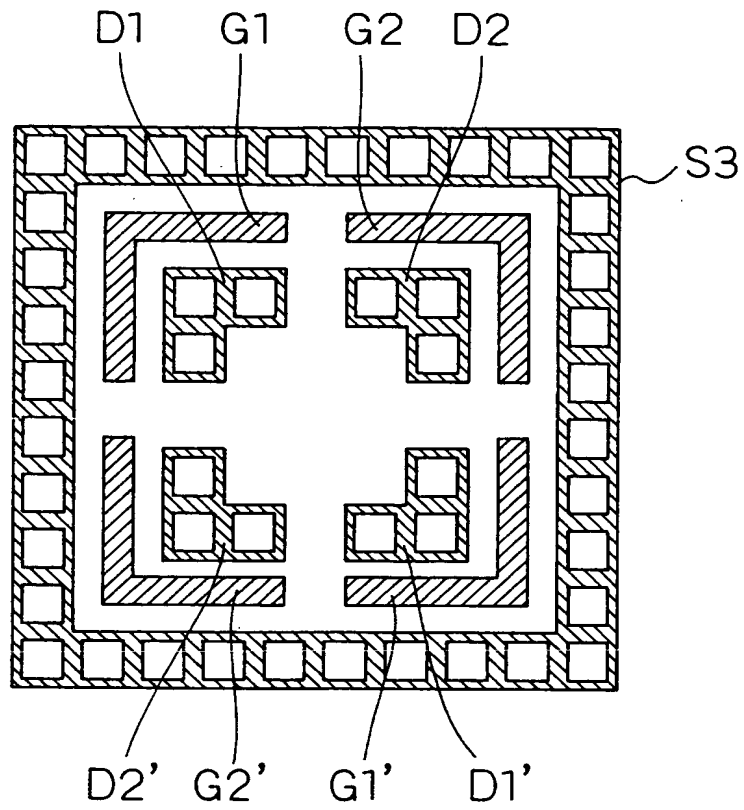




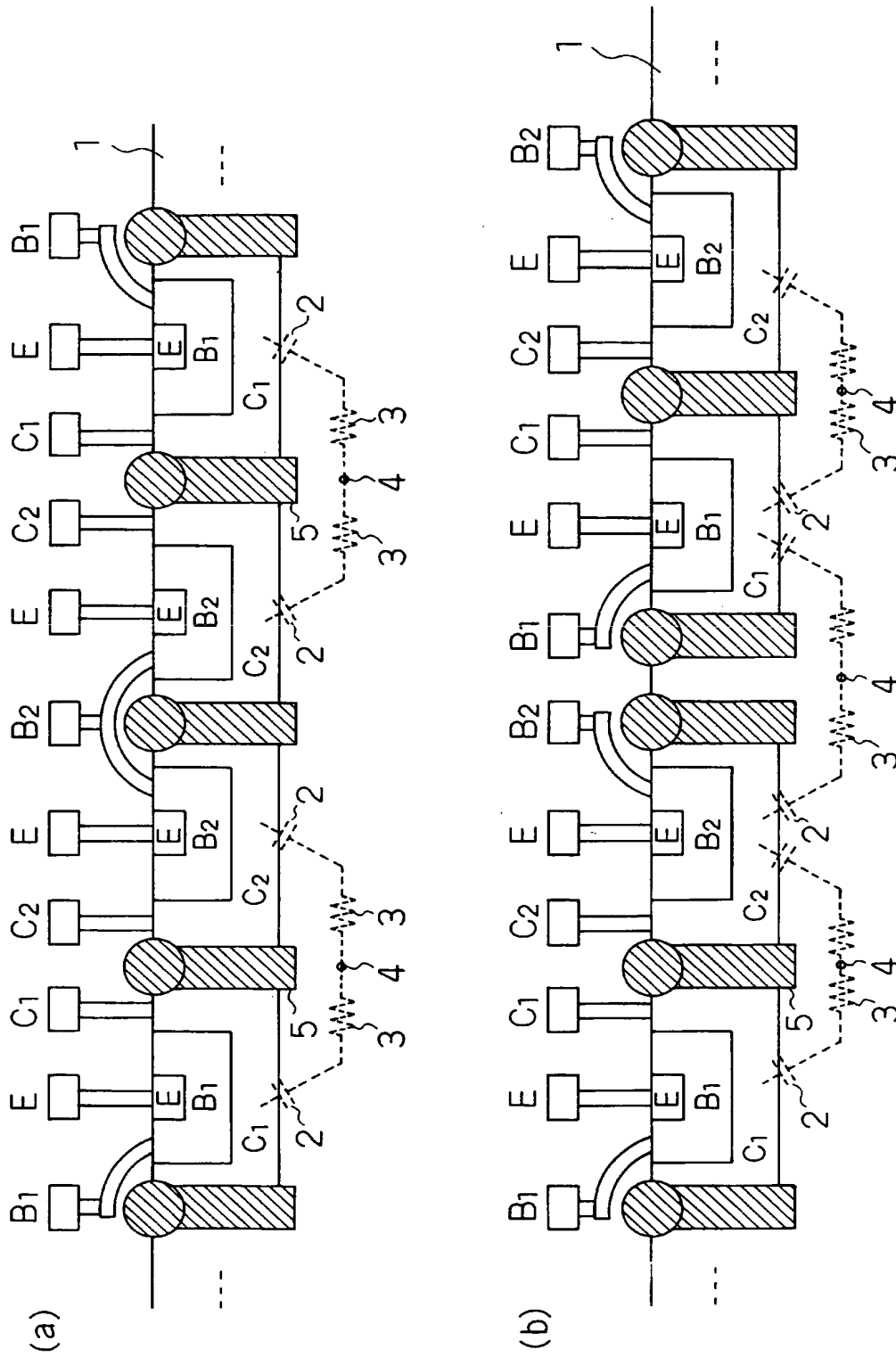
【図 4】



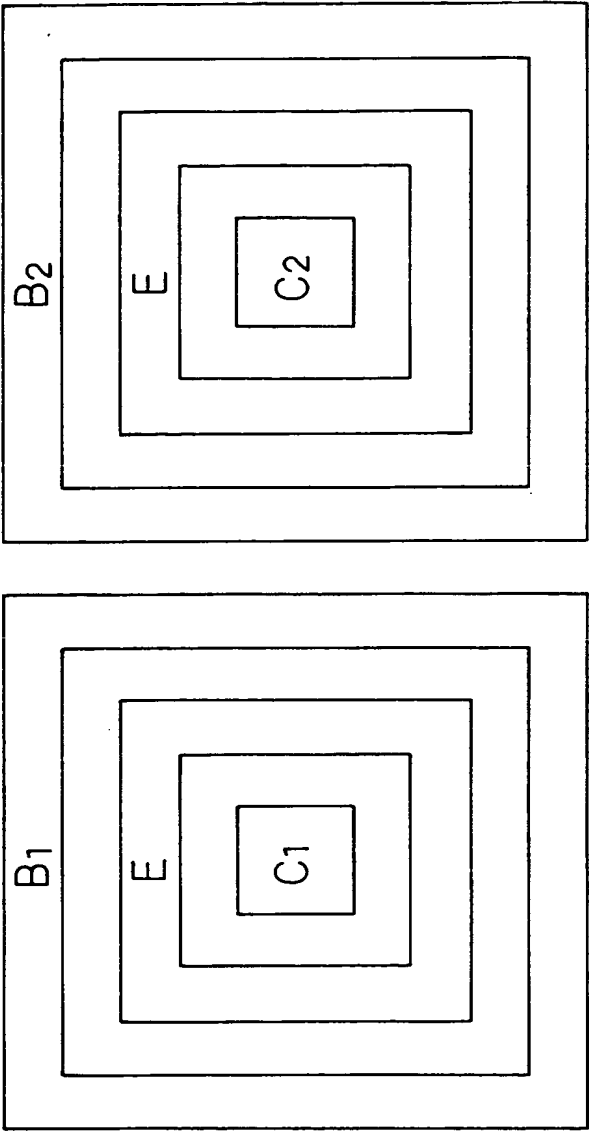
【図 5】



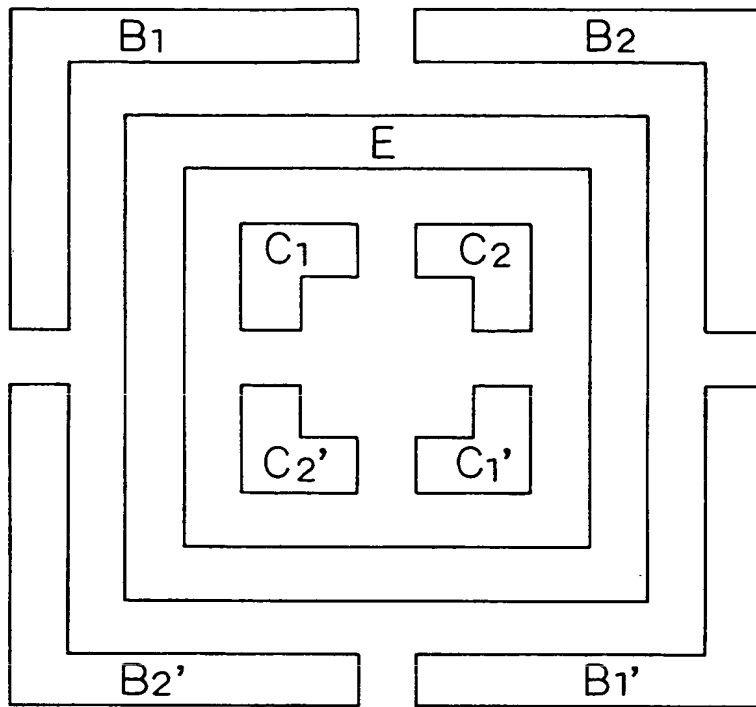
【図 6】



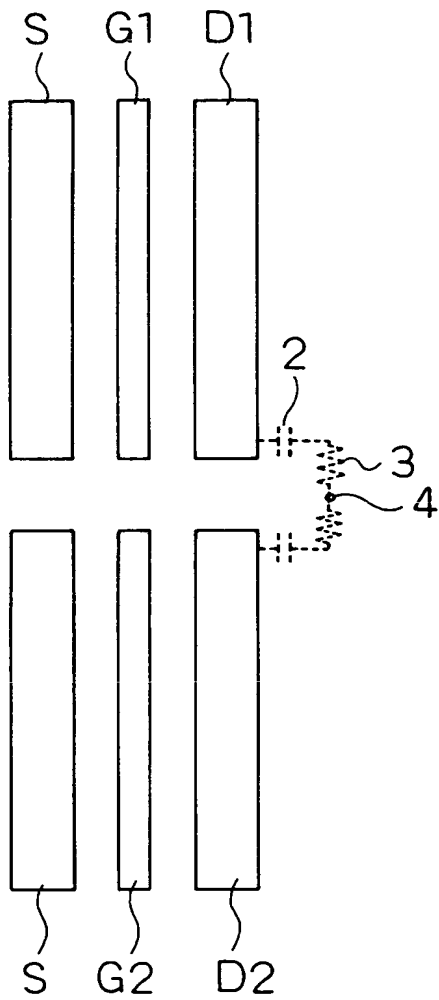
【図 7】



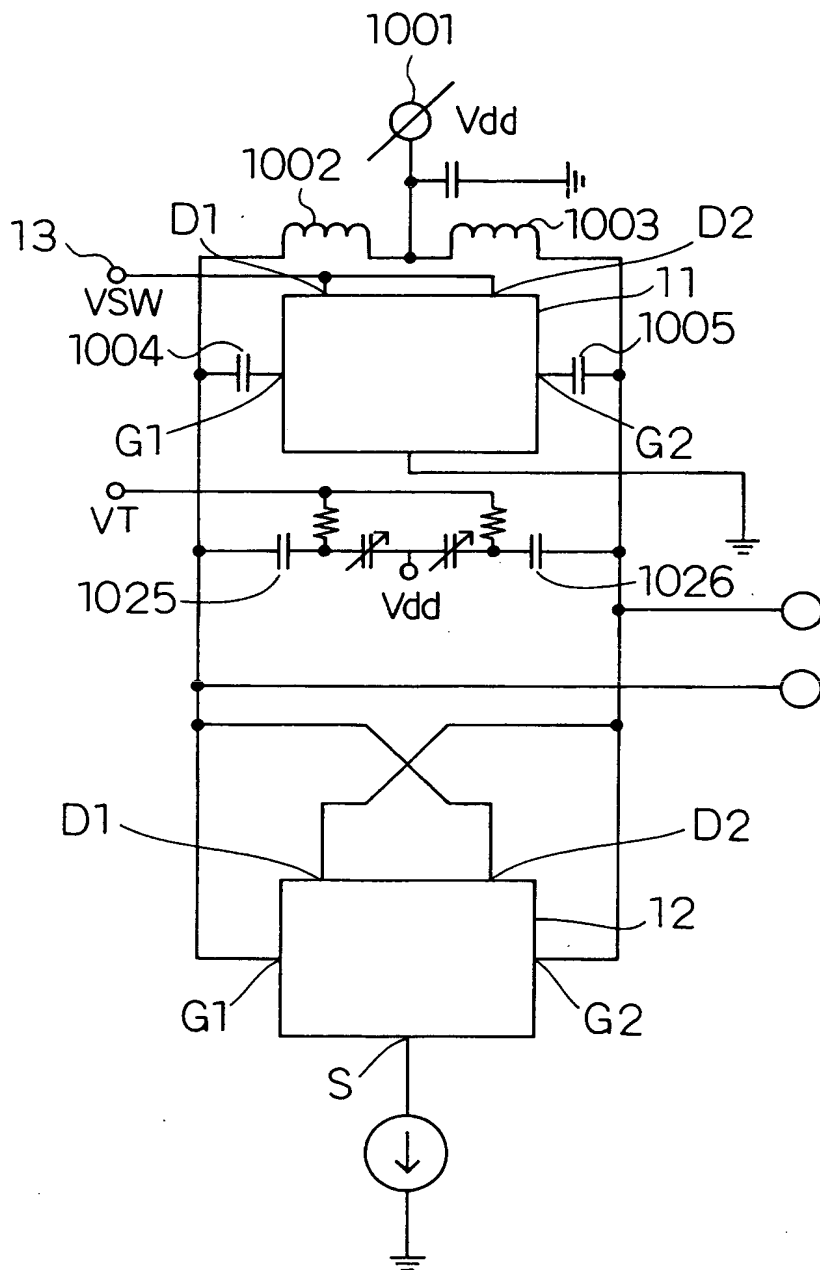
【図 8】



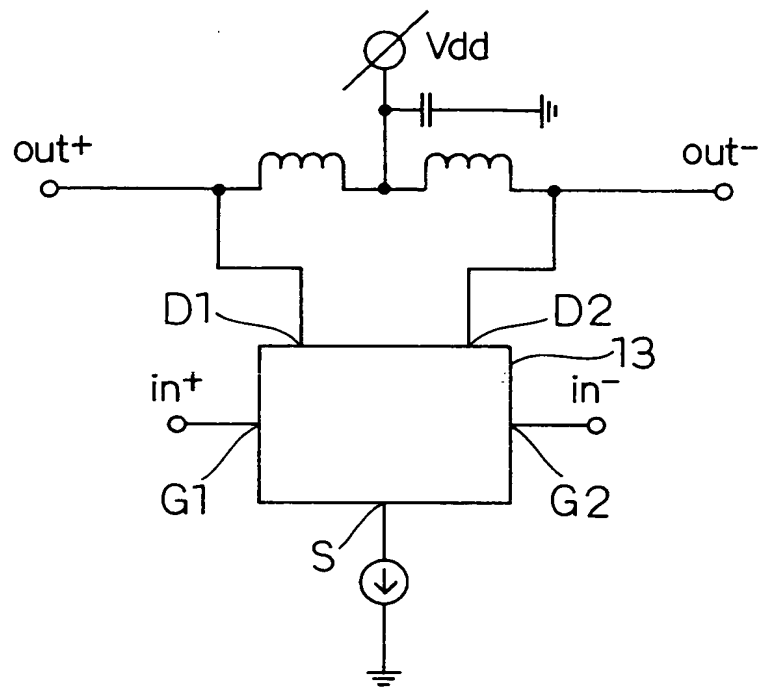
【図 9】



【図 10】



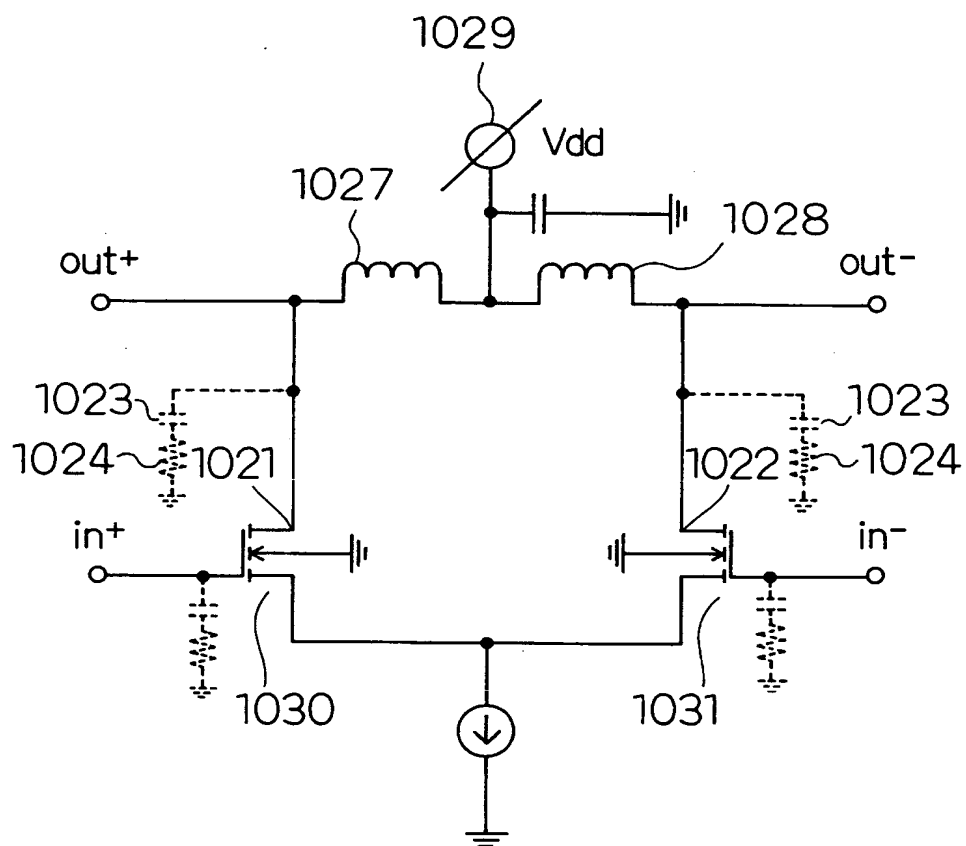
【図 11】



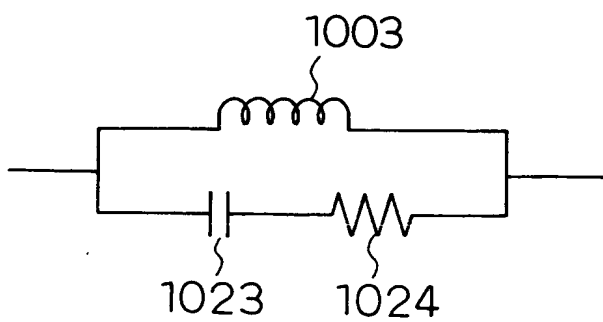




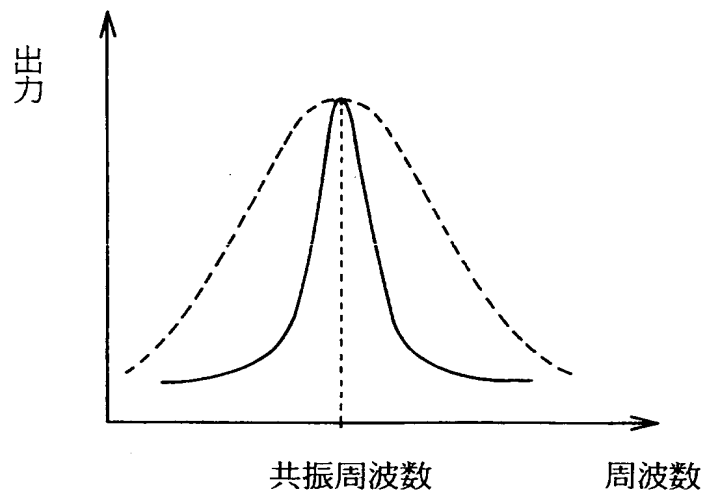
【図 13】



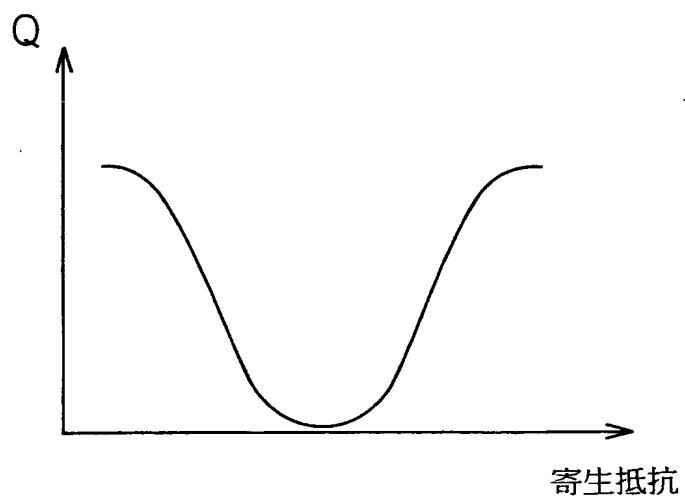
【図 14】



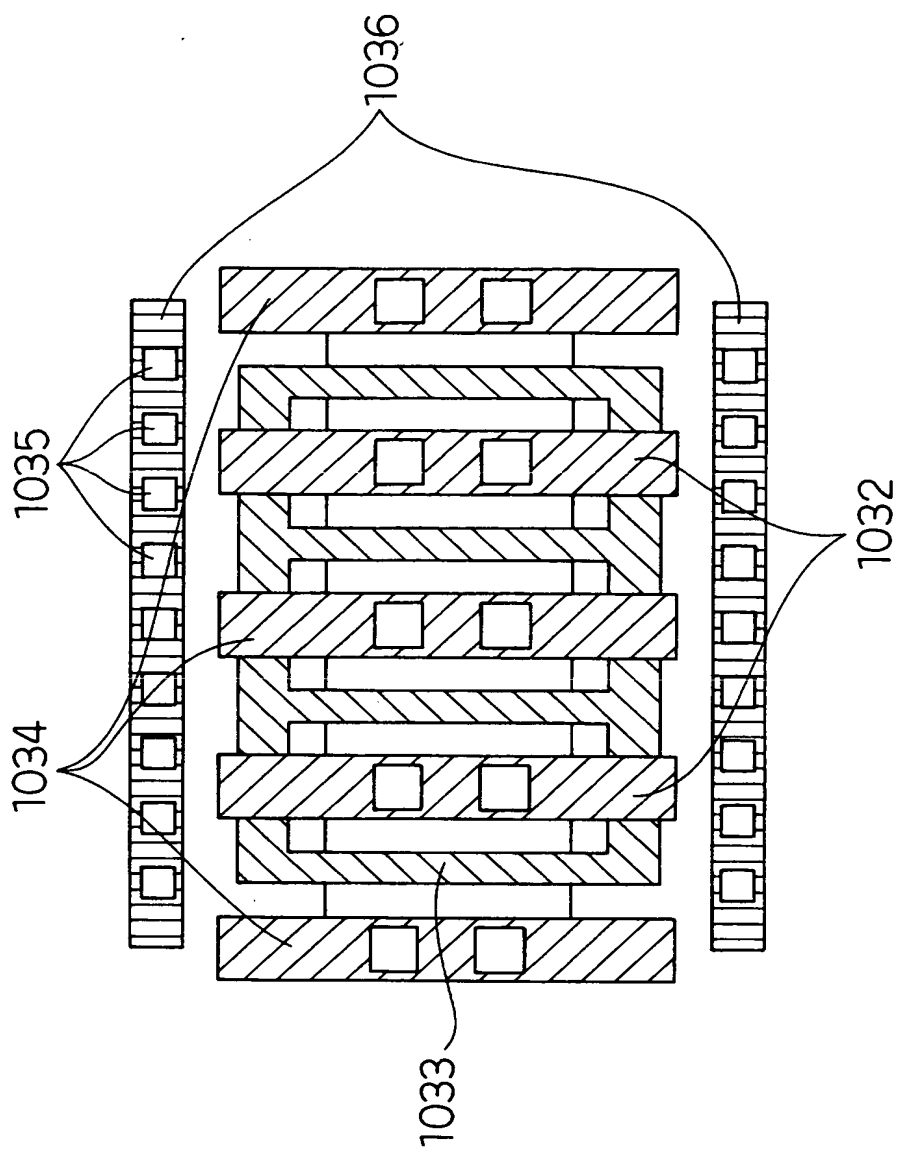
【図 15】



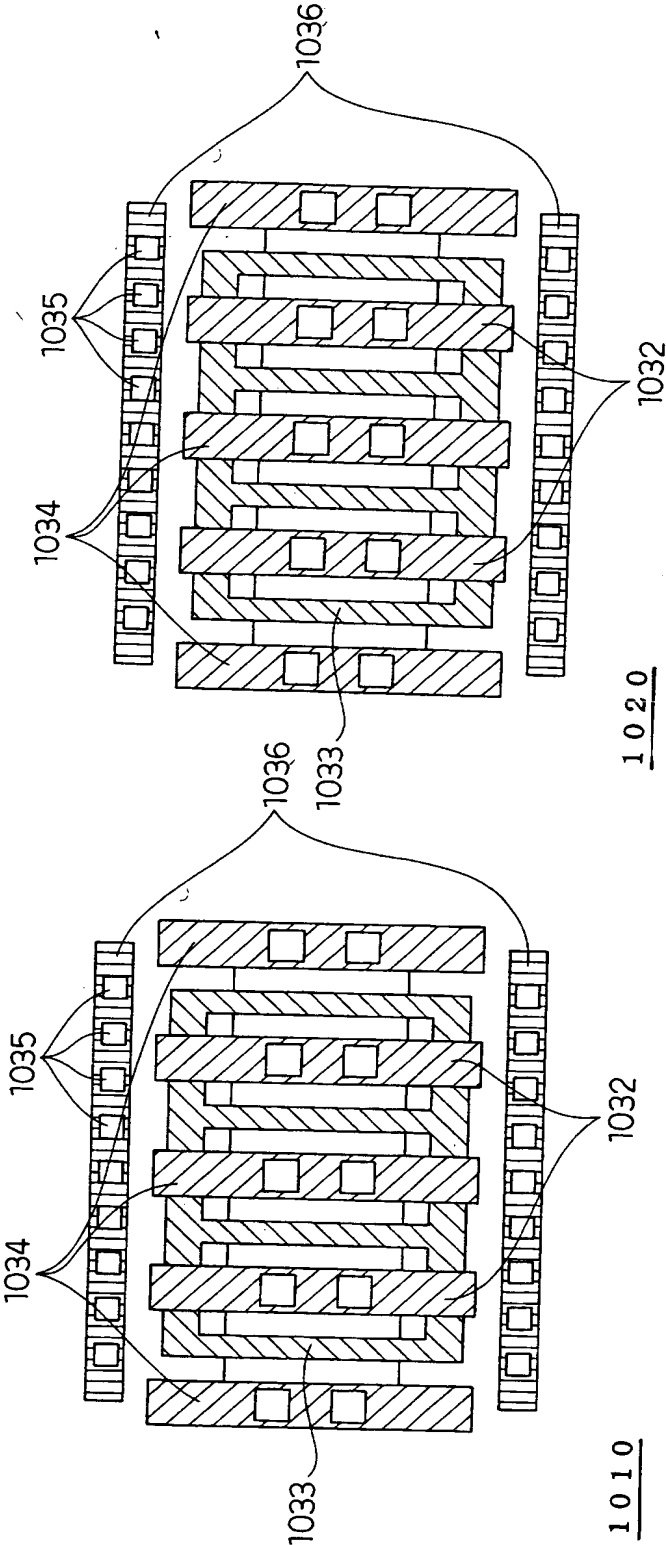
【図 16】



【図 17】



【図 18】



【書類名】 要約書

【要約】

【課題】 ICチップを小型化することができる、半導体差動回路、上記半導体差動回路を用いた発振装置、増幅装置、スイッチ装置、および半導体差動回路の配置方法を提供すること。

【解決手段】 半導体基板 1 と、半導体基板 1 上に形成され、差動信号のうち一方の信号が伝達されるドレイン電極 D 1、および一方の信号を制御するためのゲート電極 G 1 を有する第 1 の半導体素子と、半導体基板 1 上に形成され、差動信号のうち他方の信号が伝達されるドレイン電極 D 2、および他方の信号が伝達されるゲート電極 G 2 を有する第 2 の半導体素子と、を備え、所定の周波数において、ドレイン電極 D 1 が、所定の抵抗を介して接地側と接続されたものと等価となり、かつ、ドレイン電極 D 2 が、所定の抵抗と同じ抵抗値の抵抗を介して接地側と接続されたものと等価となるように、ドレイン電極 D 1 と、ドレイン電極 D 2 とが近接して配置される、半導体差動回路。

【選択図】 図 1

特願 2 0 0 2 - 3 3 2 6 8 8

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社